

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC986 U.S. PTO
09/826098
04/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 4月19日

出願番号
Application Number: 特願2000-117502

出願人
Applicant(s): 松下電子工業株式会社

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2000-3113148

【書類名】 特許願
【整理番号】 2926410203
【提出日】 平成12年 4月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/302
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 山下 武志
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 山口 峰生
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 二河 秀夫
【特許出願人】
【識別番号】 000005843
【氏名又は名称】 松下電子工業株式会社
【代理人】
【識別番号】 100097445
【弁理士】
【氏名又は名称】 岩橋 文雄
【選任した代理人】
【識別番号】 100103355
【弁理士】
【氏名又は名称】 坂口 智康
【選任した代理人】
【識別番号】 100109667
【弁理士】
【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011316

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809939

【書類名】 明細書

【発明の名称】 ドライエッティング方法

【特許請求の範囲】

【請求項1】 プラズマ発生用のソース電力とプラズマ中のイオンを基板に引き込むためのバイアス電力を独立して制御可能な二電源方式のドライエッティング装置を用いたドライエッティング方法であって、

前記ドライエッティング装置の被エッティング物はシリコン基板若しくは基板上に形成したシリコン系部材からなり、

前記ドライエッティング装置の反応室内に基板を設置する工程と、

前記反応室内にプロセスガスを導入する工程と、

前記基板にバイアス電力を印加する工程と、

前記ソース電力を印加してプラズマを発生させる工程とを備え、

前記バイアス電力の印加は前記被エッティング物の表面の酸化が進行する前に行なうことを特徴とするドライエッティング方法。

【請求項2】 前記ソース電力の印加は、前記バイアス電力を印加した後に印加することを特徴とする請求項1に記載のドライエッティング方法。

【請求項3】 前記ソース電力の印加は、前記バイアス電力が前記ソース電力より前にその実効値が設定値に達するように印加することを特徴とする請求項1に記載のドライエッティング方法。

【請求項4】 前記ドライエッティング方法を素子分離形成工程におけるシリコンのドライエッティングに適用した請求項1、2または3のいずれか1つに記載の半導体装置の製造方法。

【請求項5】 前記ドライエッティング方法をゲート電極形成工程におけるポリシリコン膜のドライエッティングに適用した請求項1、2または3のいずれか1つに記載の半導体装置の製造方法。

【請求項6】 プラズマ発生用のソース電力とプラズマ中のイオンを基板に引き込むためのバイアス電力を独立して制御可能な二電源方式のドライエッティング装置を用いたドライエッティング方法であって、

前記ドライエッティング装置の反応室内にシリコン系部材が露出した基板を設置

する工程と、前記反応室内にプロセスガスを導入する工程と、前記バイアス電力及び前記ソース電力を印加して前記基板上に露出したシリコン系部材をドライエッチングする工程と、

前記ドライエッチングにより発生するダメージ層を酸化する工程と、洗浄により前記ダメージ層を除去する工程とを備え、

前記ダメージ層の酸化は、前記ドライエッチング装置の反応室内で、バイアス電力を印加せずソース電力のみを印加することによりプラズマを用いて行うことの特徴とする半導体装置の製造方法。

【請求項7】 前記基板上に露出したシリコン系部材はシリコン基板であり、前記ドライエッチングする工程は前記シリコン基板上に素子分離用の溝を形成する工程であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記基板上に露出したシリコン系部材は基板上のゲート絶縁膜の上に形成したポリシリコン膜であり、前記ドライエッチングする工程は前記ポリシリコン膜をエッチングしてゲート電極を形成する工程であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項9】 プラズマ発生用のソース電力とプラズマ中のイオンを基板に引き込むためのバイアス電力とを独立して制御可能な二電源方式のドライエッチング装置の反応室内にシリコン基板を設置する工程と、

前記ドライエッチング装置の反応室内に基板を設置する工程と、前記反応室内にプロセスガスを導入する工程と、前記バイアス電力及び前記ソース電力を印加して前記シリコン基板の一部をドライエッチングし素子分離用の溝を形成する工程と、

前記素子分離用溝の表面部を酸化して酸化膜を形成する工程と、

前記酸化膜が形成された前記素子分離用溝を含む前記基板上に素子分離用絶縁膜を埋め込む工程と、

CMP法により前記素子分離用絶縁膜の一部を研磨除去することにより、前記基板表面を平坦化する工程とを備えた半導体装置の製造方法。

【請求項10】 プラズマ発生用のソース電力とプラズマ中のイオンを基板に引き込むためのバイアス電力とを独立して制御可能な二電源方式のドライエッチ

ング装置であって、

タイマーを初期化させると同時に前記基板にバイアス電力を印加し、前記バイアス電力の実効値を設定値に達するまで前記バイアス電力を印加するバイアス電力調整手段と、

前記タイマーがあらかじめ設定した時間に達した時にソース電力の印加をし、前記ソース電力の実効値が設定値に達するまで前記ソース電力を印加するソース電力調整手段とを備えたドライエッティング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置を製造する際、シリコンのドライエッティングを行うための半導体装置の製造方法及びその製造装置に関するものである。

【0002】

【従来の技術】

半導体装置の製造において、半導体素子の微細化及び高精度化のために、シリコンのドライエッティングでは、誘導結合型プラズマエッティング装置（ICP）などが用いられている。二電源方式のドライエッティング装置の特長は、プラズマを発生させ、プラズマ密度を制御するための第一の電力（以下「ソース電力」と称す。）と、プラズマ中のイオン（エッティング種）を被エッティング基板側に引き込むための第二の電力（以下「バイアス電力」と称す。）とを別々に印加することができるため、高精度な加工特性が得られることである。

【0003】

この二電源方式のドライエッティング装置を用いてシリコンをエッティングする例として、素子分離形成工程における溝形成エッティングがある。これまで半導体素子の分離形成工程では、窒化膜をマスクとし、シリコン基板を局所的に酸化し、素子分離を形成するLOCOS（Local Oxidation of Si icon）を用いていた。しかし前記方法では、分離寸法が所望の寸法より大きくなり、微細化が進むに従い、活性領域の確保が困難となっていた。そこでシリコン基板に溝を形成し、前記溝に酸化膜を埋め込み、CMP（Chemical

1 Mechanical Polishing) により平坦化を行い、素子分離を形成するSTI (Shallow Trench Isolation) が用いられており、この分離用の溝形成に前記二電源方式のドライエッチング装置を用いている。

【0004】

以下に図12を参照して、半導体装置における従来の素子分離の製造方法を説明する。

【0005】

図12は、従来技術によって素子分離を製造する際の半導体装置の断面図で、図12(a)はシリコン基板42を酸化して、酸化膜43を形成した後、CVD技術により窒化膜44を成膜し、フォトリソグラフィー技術による分離パターン形成後の状態を、図12(b)はドライエッチング技術によって窒化膜と酸化膜をエッチングし、レジストを剥離した直後の状態を、図12(c)はドライエッチング技術によってシリコン基板をエッチングした直後の状態を、図12(d)はCVD技術により酸化膜を埋め込み、CMPにより平坦化を行い、ウエットエッチにより窒化膜を除去した直後の状態をそれぞれ示すものである。図12において、42はシリコン基板、43は酸化膜、44は窒化膜、45はフォトレジスト、46は分離酸化膜である。

【0006】

まず、シリコン基板42上に熱酸化により酸化膜43を形成し、その後CVD法などの成膜方法で窒化膜44を形成し、前記窒化膜44上に所望の分離パターンを、フォトリソグラフィー法によりフォトレジスト45をマスクとして形成する(図12(a))。

【0007】

次に、ドライエッチング法により窒化膜44と酸化膜43をエッチングし、その後アッシング及び洗浄を行い、フォトレジスト45を剥離することにより、前記分離パターンを窒化膜44に転写する(図12(b))。

【0008】

次に、このシリコン基板42をドライエッチング装置のチャンバー内に設置す

る。チャンバー内を所定の真空度まで真空排気した後、チャンバーにシリコン基板42をエッティングするのに必要なガス（プロセスガス）を導入する。

【0009】

まずソース電力を印加し、導入したプロセスガスのプラズマを形成する。次にバイアス電力を印加することにより、プロセスガスのプラズマ中のイオンを被エッティング膜であるシリコン基板42側に引き込み、シリコン基板42と反応させ、揮発性の反応生成物を形成し、それを真空排気することによってエッティングを行う。この材料のドライエッティングでは、プロセスガスにC₁₂、HBrなどハロゲンを含むガスと酸素の混合ガスが用いられる。ここで、このシリコン基板42のエッティングにおいて、分離寸法の微細化により、ゲート電極の加工とほぼ同程度の高い加工精度が要求されるため、二電源方式のドライエッティング装置、例えば誘導結合（ICP）型プラズマエッティング装置等の二電源方式のドライエッティング装置が用いられる。

【0010】

この後、シリコン基板42のドライエッティング時に形成された堆積物を除去するために洗浄を行うことにより、シリコン基板42に分離形成用の溝が形成される（図12（c））。

【0011】

次に溝表面の表面準位低減のため、熱酸化によりシリコンのパターン（以下トレンチ側壁と称す）を酸化する。その後、CVD装置を用いて前記溝に酸化膜46を埋め込む。さらにCMPにより平坦化を行い、窒化膜44をウエットエッチにより除去することによって素子分離を形成する（図12（d））。

【0012】

ここで図13を参照して、二電源方式のドライエッティング装置を用いた場合の従来の電力印加順序について説明する。図13は二電源方式のドライエッティング装置を用い、従来技術によるシリコンのドライエッティングを説明する図で、図13（a）はチャンバーに被エッティング膜であるシリコン基板47をエッティングするのに必要なガス（プロセスガス48）を導入した直後の状態を、図13（b）はソース電力を印加した直後の状態を、図13（c）はバイアス電力を印加した

直後の状態を示す。

【0013】

まず、シリコン基板47をドライエッティング装置のチャンバー内に設置し、チャンバー内を所定の真圧度まで真圧排気した後、チャンバーに被エッティング膜であるシリコン基板47をエッティングするのに必要なガス（プロセスガス48）を導入する（図13（a））。

【0014】

次にソース電力を印加し、導入したプロセスガスのプラズマ49を形成する（図13（b））。この後バイアス電力を印加することにより、プロセスガスのプラズマ中のイオン50をシリコン基板47側に引き込む（図13（c））。

【0015】

上述したように、二電源方式のドライエッティング装置では、プロセスガスのプラズマ密度の調整と、プラズマ中のイオンの基板側への引き込みとを独立に制御するため、まずソース電力を印加することによりプロセスガスのプラズマを形成してから、バイアス電力を印加してプロセスガスのプラズマ中のイオンを被エッティング基板側に引き込み、エッティングを行っている。

【0016】

【発明が解決しようとする課題】

しかしながら、シリコン基板のドライエッティングにおける上記従来の構成では、シリコンのドライエッティングにおいて、図14に示すように、エッティングが途中で停止することがあるという問題点を有していた。

【0017】

また、シリコンのドライエッティングにおいて、エッティング時にシリコン基板にダメージを与え、電気特性に影響を及ぼすという問題点を有していた。

【0018】

さらに、分離用の溝を形成した後に酸化炉を用いてトレンチ側壁を酸化するため、コストが上昇するという問題点を有していた。

【0019】

本発明は、シリコンのドライエッティングにおけるエッティング停止の問題を解消

することを主目的とする。

【0020】

【課題を解決するための手段】

本件発明者達は、上記シリコンのドライエッティングにおけるエッティング停止の原因について検討を加えたところ、以下の知見を得た。これを、図8を参照して説明する。図8は従来技術によるシリコンのドライエッティングを行う際に発生するエッティング停止を説明する図で、図8(a)はソース電力を印加した直後の状態を、図8(b)はソース電力によりプラズマ中に活性な酸素(酸素ラジカル37)が発生し、被エッティング膜であるシリコン基板38上に酸化膜39が形成された直後の状態を、図8(c)はバイアス電力を印加した直後の状態を示す。

【0021】

まず、シリコン基板38をドライエッティング装置のチャンバー内に設置し、チャンバー内を所定の真圧度まで真圧排気した後、チャンバーに被エッティング膜であるシリコン基板38をエッティングするのに必要なガス(プロセスガス)を導入する。その後、ソース電力の印加によりプロセスガスのプラズマ40を形成する(図8(a))。次にプロセスガスのプラズマ40中の活性な酸素(酸素ラジカル37)が被エッティング膜であるシリコン基板38と反応し、被エッティング膜であるシリコン基板38上に薄い酸化膜39を形成する(図8(b))。その後、バイアス電力の印加によりプロセスガスのプラズマ中のイオン41をシリコン基板38側に引き込む(図8(c))。しかし、被エッティング膜であるシリコン基板38上に酸化膜39が形成されているため、エッティングが進まない。これは酸化膜のエッティング速度は、シリコンのエッティング速度の約100分の1であるため、エッティングがほとんど進行しないためである。

【0022】

このことを次の二つの実験により検証した。まず、ソース電力によるシリコンの酸化を検証するため、シリコン基板を下記条件下に一定時間曝し、シリコン基板の表面に形成された酸化膜の膜厚を測定した。図9にシリコン基板の酸化膜厚のソース電力印加時間依存性を示す。縦軸はシリコン基板の酸化膜厚で、横軸はソース電力の印加時間である。この時の条件は、ソース電力が600W、バイア

ス電力が0W、圧力が7Pa、Cl₂流量が150ml/min、O₂流量が6ml/minで、誘導結合（ICP）型プラズマエッティング装置を用いている。

【0023】

図9よりバイアス電力を印加しない状態でソース電力を印加すると、印加時間の経過に伴ってシリコン基板の表面が酸化されていくことがわかる。

【0024】

次に、ソース電力とバイアス電力の印加のタイミングによるシリコンのエッティングの停止を検証するため、下記条件下でソース電力とバイアス電力の印加のタイミングを変え、シリコンのドライエッティングを行い、シリコンの削れ量を測定した。ここで、ソース電力の印加時刻を基準に取り、バイアス電力を印加する時刻を以下遅延時間と称する。また、この実験に使用した試料は従来例の図12（b）に示すものと同様の方法により作成したものである。

【0025】

この時の条件は、ソース電力が600W、バイアス電力が200W、圧力が7Pa、Cl₂流量が150ml/min、O₂流量が6ml/min、時間が22sで、装置は誘導結合（ICP）型プラズマエッティング装置を用いている。

【0026】

図10にシリコン基板の削れ量の遅延時間依存性を示す。縦軸はシリコン基板の削れ量で、横軸は遅延時間である。図10よりエッティングの停止はソース電力がバイアス電力よりも前に印加した場合に発生することが分かる。

【0027】

上述した知見によれば、二電源方式のドライエッティング装置を用いてシリコンをドライエッティングする場合、被エッティング膜であるシリコンを酸化させないことが重要である。このため、二電源方式のドライエッティング装置の電力印加については、バイアス電力をソース電力よりも前に印加する。またはバイアス電力がソース電力よりも前にその実効値が設定値になるよう印加する。図11はこのことを示した一例であり、縦軸は印加電力の実効値で、横軸は電力の印加からの時間である。図11に示すように一般に印加電力の設定値が大きいほどその電力の実効値が設定値になるまでに時間を要する。このためソース電力がバイアス電力よりも

高い条件では、ソース電力をバイアス電力より前に印加しても、バイアス電力がソース電力より前にその実効値が設定値になればよい。

【0028】

本発明に係るドライエッチング方法は、プラズマ発生用のソース電力とプラズマ中のイオンを基板に引き込むためのバイアス電力を独立して制御可能な二電源方式のドライエッチング装置を用いたドライエッチング方法であって、前記ドライエッチング装置の被エッチング物はシリコン基板若しくは基板上に形成したシリコン系部材からなり、前記ドライエッチング装置の反応室内に基板を設置する工程と前記反応室内にプロセスガスを導入する工程と、前記基板にバイアス電力を印加する工程と、前記ソース電力を印加してプラズマを発生させる工程とを備え、前記バイアス電力の印加は前記被エッチング物の表面の酸化が進行する前に行うようにして構成する。

【0029】

本発明に係るドライエッチング装置によれば、シリコン系部材のドライエッチングの際に、被エッチング対象であるシリコン表面のわずかな酸化をも抑制するため、これに起因するエッチングの停止を確実に解消することができる。

【0030】

なお、前記ソース電力の印加は、前記バイアス電力を印加した後に印加することが好ましい。これは、ソース電力を印加してプラズマを発生させてからバイアス電力を印加してエッチングを開始するまでのわずかの時間にも、シリコンの表面が酸化されてしまうからである。

【0031】

或いは、前記バイアス電力の印加は、前記バイアス電力が前記ソース電力より前にその実効値が設定値に達するように印加するように構成してもよい。これは、ソース電力がバイアス電力より高い条件であるときのように、ソース電力の実効値が設定値に達するのに時間がかかる場合には、例えばバイアス電力とソース電力を同時に印加しても、結果的に、バイアス電力の方が先に印加されることになるからである。

【0032】

このドライエッティング方法は、以下の実施例にみるよう素子分離溝の形成工程におけるシリコンのドライエッティングやゲート電極の形成工程におけるポリシリコンのドライエッティングに適用することができる。

【0033】

一方、ドライエッティング装置が被エッティング物であるシリコンの表面を酸化することを、積極的に利用すれば、以下のような半導体装置の製造方法を実現することができる。

【0034】

本発明に係る第1の半導体装置の製造方法は、二電源方式のドライエッティング装置を用いたドライエッティング方法であって、前記ドライエッティング装置の反応室内にシリコン系部材が露出した基板を設置する工程と、前記反応室内にプロセスガスを導入する工程と、前記バイアス電力及び前記ソース電力を印加して前記基板上に露出したシリコン系部材をドライエッティングする工程と、前記ドライエッティングにより発生するダメージ層を酸化する工程と、洗浄により前記ダメージ層を除去する工程とを備え、特に、前記ダメージ層の酸化は、前記ドライエッティング装置の反応室内で、バイアス電力を印加せずソース電力のみを印加することによりプラズマを用いて行うこととする。

【0035】

この半導体装置の製造方法は、シリコン系部材のエッティングによるダメージ層を、エッティング後に酸化して除去する工程に、上述したソース電力の印加によるシリコン系部材の表面酸化を用いるものであり、ダメージ層のわずかな酸化を行うために酸化炉を用いる必要がなく、製造コストを大幅に削減することができる。

【0036】

この方法は、以下の実施例にみるよう前に記基板上に露出したシリコン系部材をシリコン基板とし、前記シリコン基板上に素子分離用の溝を形成する工程に適用できる。

【0037】

また、以下の実施例にみるよう前に記基板上に露出したシリコン系部材は基板

上のゲート絶縁膜の上に形成したポリシリコン膜とし、前記ドライエッチングする工程は前記ポリシリコン膜をエッチングしてゲート電極を形成する工程に適用できる。

【0038】

本発明に係る第2の半導体装置の製造方法は、プラズマ発生用のソース電力とプラズマ中のイオンを基板に引き込むためのバイアス電力とを独立して制御可能な二電源方式のドライエッチング装置の反応室内にシリコン基板を設置する工程と、前記ドライエッチング装置の反応室内に基板を設置する工程と、前記反応室内にプロセスガスを導入する工程と、前記バイアス電力及び前記ソース電力を印加して前記シリコン基板の一部をドライエッチングし素子分離用の溝を形成する工程と、前記素子分離用溝の表面部を酸化して酸化膜を形成する工程と、前記酸化膜が形成された前記素子分離用溝を含む前記基板上に素子分離用絶縁膜を埋め込む工程と、CMP法により前記素子分離用絶縁膜の一部を研磨除去することにより、前記基板表面を平坦化する工程とを備える。

【0039】

本発明によれば、素子分離用の溝を形成した後、溝表面の表面準位低減及び絶縁破壊耐圧向上のために行う酸化を、酸化炉を用いることなく行うため、製造コストを大幅に削減することができる。なお、本方法は、上述したダメージ層除去のための酸化と併せて用いることができる。

【0040】

上述のような二電源方式のドライエッチング装置を用いてシリコンを酸化する場合、プロセスガスには酸素を含むガスを用いればよい。

【0041】

本発明に係る半導体ドライエッチング装置は、プラズマ発生用のソース電力とプラズマ中のイオンを基板に引き込むためのバイアス電力とを独立して制御可能な二電源方式のドライエッチング装置であって、タイマーを初期化させると同時に前記基板にバイアス電力を印加し、前記バイアス電力の実効値を設定値に達するまで前記バイアス電力を印加するバイアス電力調整手段と、前記タイマーがあらかじめ設定した時間に達した時にソース電力の印加をし、前記ソース電力の実

効値が設定値に達するまで前記ソース電力を印加するソース電力調整手段により構成する。

【0042】

本発明に係るドライエッティング装置は、上述の調整手段（制御手段）により必ずバイアス電力の印加後にソース電力を印加することとなるため、エッティング停止を確実に防止することができる。

【0043】

【発明の実施の形態】

（第1の実施形態）

以下、この発明の半導体装置の製造方法、及び製造装置の一実施形態について図面を参照しながら説明する。なお、以下の説明では、素子分離形成工程におけるシリコン基板のドライエッティングや、ゲート電極形成工程におけるポリシリコン膜のドライエッティングで説明するが、シリコンやポリシリコン膜等をドライエッティングする工程において同様の効果が期待できる。

【0044】

図1は、この発明の第1の実施形態における半導体装置の断面図を示すものである。図1において、1はシリコン基板、2は酸化膜、3は窒化膜、4はフォトレジスト、5は分離酸化膜で、これらは従来例の構成と同じである。

【0045】

まず、シリコン基板1上に熱酸化により酸化膜2を形成し、その後CVD法などの成膜方法で窒化膜3を形成し、前記窒化膜3上に所望の分離パターンを、フォトリソグラフィー技術によりフォトレジスト4で形成する（図1（a））。

【0046】

次に、ドライエッティング技術を用いて窒化膜3と酸化膜2をエッティングし、その後アッシング及び洗浄を行い、フォトレジスト4を剥離することにより、前記分離パターンを窒化膜3に転写する（図1（b））。この構成は従来の技術と同様にして形成される。

【0047】

このシリコン基板1をドライエッティング装置のチャンバー内に設置する。チャ

ンバー内を所定の真圧度まで真圧排氣した後、チャンバーにシリコン基板1をエッチングするのに必要なガス（プロセスガス）を導入する。バイアス電力を印加することによりプロセスガスのプラズマを形成し、プラズマ中のイオンをシリコン基板1側に引き込む。次にソース電力を印加し、導入したプロセスガスのプラズマを形成し、プロセスガスとシリコン基板1とを反応させ、揮発性の反応生成物を形成し、それを真圧排氣することによってエッチングを行う。例えば誘導結合（ICP）型プラズマエッチング装置を用い、ソース電力が600W、バイアス電力が200W、圧力が7Pa、Cl₂流量が150ml/min、O₂流量が6ml/minの条件でドライエッチングを行う。この時、バイアス電力をソース電力より前に印加するため、ソース電力の印加の少なくとも1秒前にバイアス電力を印加する。または、ソース電力がバイアス電力より高い条件では、バイアス電力がソース電力より前にその実効値が設定値になるように、例えばバイアス電力とソース電力を同時に印加する。ここで、このシリコン基板1のエッチングにおいて、分離寸法の微細化により、ゲート電極の加工とほぼ同程度の高い加工精度が要求されるため、二電源方式のドライエッチング装置、例えば誘導結合型プラズマエッチング装置（ICP、TCP）、電子サイクロン共鳴型（ECR）、容量結合型プラズマ2周波型、表面波プラズマ型装置（SWP）等が用いられる。

【0048】

この後、シリコン基板1のドライエッチング時に形成された堆積物を除去するために洗浄を行うことにより、シリコン基板1に分離形成用の溝が形成される（図1（c））。

【0049】

次に溝表面の表面準位低減のため、熱酸化によりトレンチ側壁を酸化する。その後、CVD装置を用いて、前記溝に酸化膜5を埋め込む。さらにCMPにより平坦化を行い、窒化膜3をウエットエッチにより除去することによって素子分離を形成する（図1（d））。

【0050】

ここで、シリコン基板1のドライエッチングにおいて、二電源方式のドライエ

ッチング装置を用いた場合、ソース電力の印加より前にバイアス電力を印加する理由について、図2を参照して説明する。図2は二電源方式のドライエッチング装置を用い、本発明によりシリコンのドライエッチングを説明する図で、図2(a)はチャンバーに被エッチング膜であるシリコン基板1をエッチングするのに必要なガス(プロセスガス6)を導入した直後の状態を、図2(b)はバイアス電力を印加した直後の状態を、図2(c)はソース電力を印加した直後の状態を示す。

【0051】

まず、シリコン基板1をドライエッチング装置のチャンバー内に設置し、チャンバー内を所定の真空度まで真空排気した後、チャンバーに被エッチング膜であるシリコン基板1をエッチングするのに必要なガス(プロセスガス6)を導入する(図2(a))。次にバイアス電力を印加し、導入したプロセスガス6のプラズマ7を形成するとともに、プラズマ中のイオン8をシリコン基板1側に引き込む(図2(b))。この後ソース電力を印加することにより、プロセスガスのプラズマ9を形成する(図2(c))。従来はソース電力を印加した後、バイアス電力を印加するという順序であったが、今回の発明ではバイアス電力を印加した後、ソース電力を印加するという順序である。このようにすることにより、従来例にあるような活性な酸素(酸素ラジカル)と被エッチング膜であるシリコン基板1が反応して酸化膜を形成することはない。これは活性な酸素(酸素ラジカル)が被エッチング膜であるシリコン基板1と反応する前にプラズマ中のイオン8が加速され、被エッチング膜であるシリコン基板1をエッチングするためである。つまり、活性な酸素(酸素ラジカル)はランダム運動をしているが、イオン8はバイアス電力により加速運動をするため、活性な酸素(酸素ラジカル)よりイオン8がシリコン基板1に早く到達するため、酸化膜は形成されない。

【0052】

(第2の実施形態)

図3は、この発明の第2の実施形態における半導体装置の断面図を示すものである。図3において、10はシリコン基板、11はゲート酸化膜、12はポリシリコン膜、13はフォトレジストである。

【0053】

まず、シリコン基板10上に熱酸化によりゲート酸化膜11を形成し、その後CVD法などの成膜方法でポリシリコン膜12を形成し、前記ポリシリコン膜12上に所望のゲート電極パターンをフォトリソグラフィー技術を用いてフォトレジスト13で形成する(図3(a))。

【0054】

このシリコン基板10をドライエッチング装置のチャンバー内に設置する。チャンバー内を所定の真空度まで真空排気した後、チャンバーにポリシリコン膜12をエッチングするのに必要なガス(プロセスガス)を導入する。バイアス電力を印加することによりプロセスガスのプラズマを形成し、プラズマ中のイオンをシリコン基板10側に引き込む。次にソース電力を印加し、導入したプロセスガスのプラズマを形成し、プロセスガスとポリシリコン膜12とを反応させ、揮発性の反応生成物を形成し、それを真空排気することによってエッチングを行う。例えば誘導結合(ICP)型プラズマエッチング装置を用い、ソース電力が200W、バイアス電力が50W、圧力が4Pa、Cl₂流量が25ml/min、HBr流量が125ml/min、O₂流量が1ml/minの条件でドライエッチングを行う。この時、バイアス電力をソース電力より前に印加するため、ソース電力の印加の少なくとも1秒前にバイアス電力を印加する、またはソース電力がバイアス電力より高い条件では、バイアス電力がソース電力より前にその実効値が設定値になるよう印加する、例えばバイアス電力とソース電力を同時に印加する(図3(b))。ここで、このポリシリコン膜12のエッチングにおいて、ゲート寸法の微細化により、高い加工精度が要求されるため、二電源方式のドライエッチング装置、例えば誘導結合(ICP)型プラズマエッチング装置が用いられる。

【0055】

この後、ポリシリコン膜12のドライエッチング時に形成された堆積物とフォトレジスト13を除去するためにアッティング及び洗浄を行うことにより、ゲート電極が形成される(図3(c))。

【0056】

従来はソース電力を印加した後にバイアス電力を印加するという順序であったが、第1の実施形態と同様にバイアス電力を印加した後にソース電力を印加する。この方法はゲート電極形成においても適用できる。

【0057】

(第3の実施形態)

次に第3の実施形態について説明する。図4は、この発明の第3の実施形態における半導体装置の断面図を示すものである。図4において、14はシリコン基板、15は酸化膜、16は窒化膜、17はシリコンのドライエッティング時に発生するダメージ層、18は分離酸化膜である。

【0058】

まず、シリコン基板14上に熱酸化により酸化膜15を形成し、その後CVD法などの成膜方法で窒化膜16を形成し、前記窒化膜16上に所望の分離パターンをフォトリソグラフィー技術を用いてフォトレジストで形成する。

【0059】

次に、ドライエッティング技術を用いて窒化膜16と酸化膜15をエッティングし、その後アッシング及び洗浄を行い、フォトレジストを剥離することにより、前記分離パターンを窒化膜16に転写する(図4(a))。この構成は従来の技術と同様にして形成される。

【0060】

このシリコン基板14をドライエッティング装置のチャンバー内に設置する。チャンバー内を所定の真空中まで真空排気した後、チャンバーにシリコン基板14をエッティングするのに必要なガス(プロセスガス)を導入する。導入したプロセスガスのプラズマを形成し、プロセスガスとシリコン基板14とを反応させ、揮発性の反応生成物を形成し、それを真空排気することによってエッティングを行う。この材料のドライエッティングでは、プロセスガスに Cl_2 、 HBr などハロゲンを含むガスと酸素の混合ガスが用いられる。この時、トレンチ側壁にはシリコン基板のドライエッティングによるダメージ層17が形成される(図4(b))。

【0061】

引き続き前記ドライエッティング装置を用いて、チャンバーに前記ダメージ層1

7を酸化するのに必要なガス（プロセスガス）を導入する。例えば、O₂流量50ml/minをチャンバーに導入する。ソース電力のみを印加し、導入したプロセスガスのプラズマを形成し、ダメージ層17を酸化する。例えば誘導結合（ICP）型プラズマエッティング装置を用い、ソース電力が600W、バイアス電力が0W、圧力が7Paの条件でエッティングされた表面をプラズマに曝す。

【0062】

この後、シリコン基板14のドライエッティング時に形成された堆積物とシリコン表面のダメージ層17を除去するために、例えばHFのような薬液を用いて洗浄を行うことにより、シリコン基板14にダメージ層17が除去された分離形成用の溝が形成される（図4（c））。

【0063】

次に溝表面の表面準位低減のため、熱酸化によりトレンチ側壁を酸化する。その後、CVD装置を用いて、前記溝に酸化膜18を埋め込む。さらにCMPにより平坦化を行い、窒化膜16をウエットエッチにより除去することによって素子分離を形成する（図4（d））。

【0064】

この第3の実施形態の場合、シリコン基板14をドライエッティングする際にトレンチ側壁にダメージ層17が形成されるが、二電源方式のドライエッティング装置を用いてダメージ層17を酸化し、この後の洗浄によりダメージ層17を除去できるという特徴を有している。

【0065】

（第4の実施形態）

次に第4の実施形態について説明する。図5は、この発明の第4の実施形態における半導体装置の断面図を示すものである。図5において、19はシリコン基板、20はゲート酸化膜、21はポリシリコン膜、22はフォトレジスト、23はポリシリコン膜のドライエッティング時に発生するダメージ層である。

【0066】

まず、シリコン基板19上に熱酸化によりゲート酸化膜20を形成し、その後CVD法などの成膜方法でポリシリコン膜21を形成し、前記ポリシリコン膜2

1 上に所望のゲート電極パターンをフォトリソグラフィー技術を用いてフォトマスク22で形成する(図5(a))。

【0067】

このシリコン基板19をドライエッチング装置のチャンバー内に設置する。チャンバー内を所定の真空度まで真空排気した後、チャンバーにポリシリコン膜21をエッチングするのに必要なガス(プロセスガス)を導入する。導入したプロセスガスのプラズマを形成し、プロセスガスとポリシリコン膜21とを反応させ、揮発性の反応生成物を形成し、それを真空排気することによってエッチングを行う。この材料のドライエッチングでは、プロセスガスに Cl_2 、 HBr などハロゲンを含むガスと酸素の混合ガスが用いられる。この時、ゲート電極側壁にはポリシリコン膜21のドライエッチングによるダメージ層23が形成される(図5(b))。

【0068】

引き続き前記ドライエッチング装置を用いて、チャンバーに前記ダメージ層23を酸化するのに必要なガス(プロセスガス)を導入する。例えば、 O_2 流量40ml/minをチャンバーに導入する。ソース電力のみを印加し、導入したプロセスガスのプラズマを形成し、ダメージ層23を酸化する。例えば誘導結合(ICP)型プラズマエッチング装置を用い、ソース電力が600W、バイアス電力が0W、圧力が7Paの条件でエッチングされた表面をプラズマに曝す。

【0069】

次にアッシングを行うことにより、フォトレジスト22を剥離する。この後、ポリシリコン膜21のドライエッチング時に形成された堆積物とポリシリコン側壁のダメージ層23を除去するために、例えばHFのような薬液を用いて洗浄を行うことにより、シリコン基板19にダメージ層23が除去されたゲート電極パターンが形成される(図5(c))。

【0070】

この第4の実施形態の場合、ポリシリコン膜21をドライエッチングする際にゲート電極側壁にダメージ層23が形成されるが、二電源方式のドライエッチング装置を用いてダメージ層23を酸化し、この後の洗浄によりダメージ層23を

除去できるという特徴を有している。

【0071】

(第5の実施形態)

次に第5の実施形態について説明する。図6は、この発明の第5の実施形態における半導体装置の断面図を示すものである。図6において、24はシリコン基板、25は酸化膜、26は窒化膜、27はトレンチ側壁酸化膜、28は分離酸化膜である。

【0072】

まず、シリコン基板24上に熱酸化により酸化膜25を形成し、その後CVD法などの成膜方法で窒化膜26を形成し、前記窒化膜26上に所望の分離パターンをフォトリソグラフィー技術を用いてフォトレジストで形成する。

【0073】

次に、ドライエッティング技術を用いて窒化膜26と酸化膜25をエッティングし、その後アッシング及び洗浄を行い、フォトレジストを剥離することにより、前記分離パターンを窒化膜26に転写する(図6(a))。この構成は従来の技術と同様にして形成される。

【0074】

この後、ドライエッティング技術を用いてシリコン基板24をエッティングし、シリコン基板24のドライエッティング時に形成された堆積物を除去するために洗浄を行うことにより、シリコン基板24に分離形成用の溝が形成される(図6(b))。

【0075】

次に溝表面の表面準位低減及び絶縁破壊耐圧向上のため、二電源方式のドライエッティング装置を用いてトレンチ側壁を酸化する。シリコン基板24をドライエッティング装置のチャンバー内に設置する。チャンバー内を所定の真空度まで真空排気した後、チャンバーにシリコン基板24を酸化するのに必要なガス(プロセスガス)を導入する。例えば、 O_2 流量60ml/minをチャンバーに導入する。ソース電力のみを印加し、導入したプロセスガスのプラズマを形成し、プロセスガスとシリコン基板24とを反応させ、トレンチ側壁に酸化膜27を形成する

。例えば誘導結合（I C P）型プラズマエッチング装置を用い、ソース電力が600W、バイアス電力が0W、圧力が7Paの条件でトレンチ側壁をプラズマに曝し、酸化を行う（図6（c））。

【0076】

その後、CVD装置を用いて、前記溝に酸化膜28を埋め込む。さらにCMPにより平坦化を行い、窒化膜26をウェットエッチにより除去することによって素子分離を形成する（図6（d））。

【0077】

この第5の実施形態の場合、シリコン基板24をドライエッチングした後、二電源方式のドライエッティング装置を用いてトレンチ側壁を酸化するため、酸化炉を用いた場合よりコストが低減できるという特徴を有している。

【0078】

（第6の実施形態）

図7は、この発明の第6の実施形態における二電源方式のドライエッティング装置及びその流れ図を示すものである。図7において、29はシリコン基板、30はプロセスチャンバー、31はプロセスガス、32はバイアス電力供給装置、33はバイアス電力モニター、34はタイマー、35はソース電力供給装置、36はソース電力印加指示信号である。

【0079】

この二電源方式のドライエッティング装置を用いた場合のシリコンのドライエッティングについて説明する。

【0080】

シリコン基板29を前記ドライエッティング装置のプロセスチャンバー30内に設置する。プロセスチャンバー30内を所定の真空度まで真空排気した後、プロセスチャンバー30にシリコン基板29をエッティングするのに必要なガス（プロセスガス31）を導入する。次にプロセスチャンバー30内が所望の圧力に達すると、バイアス電力供給装置32からバイアス電力が印加される。バイアス電力モニター33によりバイアス電力がモニターされ、バイアス電力の設定値と実効値が同じである、かつ時間がタイマー34の設定時間を経過すれば、バイアス電

力モニター33からソース電力供給装置35にソース電力印加指示信号36を発信する。これによりソース電力供給装置35からソース電力を印加する。導入したプロセスガス31のプラズマを形成し、プロセスガス31とシリコン基29とを反応させ、揮発性の反応生成物を形成し、それを真空排気することによってエッチングを行う。

【0081】

この第6の実施形態の場合、この二電源方式のドライエッチング装置がバイアス電力の印加後にソース電力を印加するシステムを有することにより、バイアス電力の印加より前にソース電力が印加されないため、シリコン表面が酸化されず、エッチングを途中で停止させることなくシリコンのドライエッチングを行うことができるという特徴を有している。

【0082】

【発明の効果】

この発明の半導体装置の製造方法によれば、シリコンをドライエッチングする時に、二電源方式のドライエッチング装置の電力をバイアス電力、ソース電力の順に印加することにより、シリコンの表面の酸化を抑制し、酸化膜によるエッチングの停止を確実に解消することができる。

【0083】

また、この発明の半導体装置の製造方法によれば、シリコンのドライエッチング時に発生するダメージ層を、二電源方式のドライエッチング装置を用いて酸化し、これを洗浄により除去することによって、エッチング時のダメージを速やかに解消することができる。

【0084】

さらに、この発明の半導体装置の製造方法によれば、二電源方式のドライエッチング装置を用いて、トレンチ側壁を酸化することができるため、酸化炉を用いた場合よりコストの上昇を速やかに解消することができる。

【0085】

また、この発明の半導体装置の製造装置によれば、この二電源方式のドライエッチング装置がバイアス電力の印加後にソース電力を印加するシステムを有する

ことにより、バイアス電力の印加より前にソース電力が印加されないため、シリコンの表面を酸化することなく、エッティングの停止を速やかに解消することができる。

【図面の簡単な説明】

【図1】

この発明の第1の実施形態における半導体装置の製造方法を示す工程図

【図2】

この発明の第1の実施形態におけるシリコンのドライエッティングを説明する図

【図3】

この発明の第2の実施形態における半導体装置の製造方法を示す工程図

【図4】

この発明の第3の実施形態における半導体装置の製造方法を示す工程図

【図5】

この発明の第4の実施形態における半導体装置の製造方法を示す工程図

【図6】

この発明の第5の実施形態における半導体装置の製造方法を示す工程図

【図7】

この発明の第6の実施形態における半導体装置の製造装置を示す図

【図8】

シリコンのドライエッティング時に発生するエッティングの停止を説明する図

【図9】

酸化膜厚のソース電力印加時間依存性を示す図

【図10】

シリコンの削れ量の遅延時間依存性を示す図

【図11】

印加電力の実効値の電力印加時間依存性を示す図

【図12】

従来技術における半導体装置の製造方法を示す工程図

【図13】

従来技術におけるシリコンのドライエッチングを説明する図

【図14】

従来技術におけるエッチングトップの問題点を説明する図

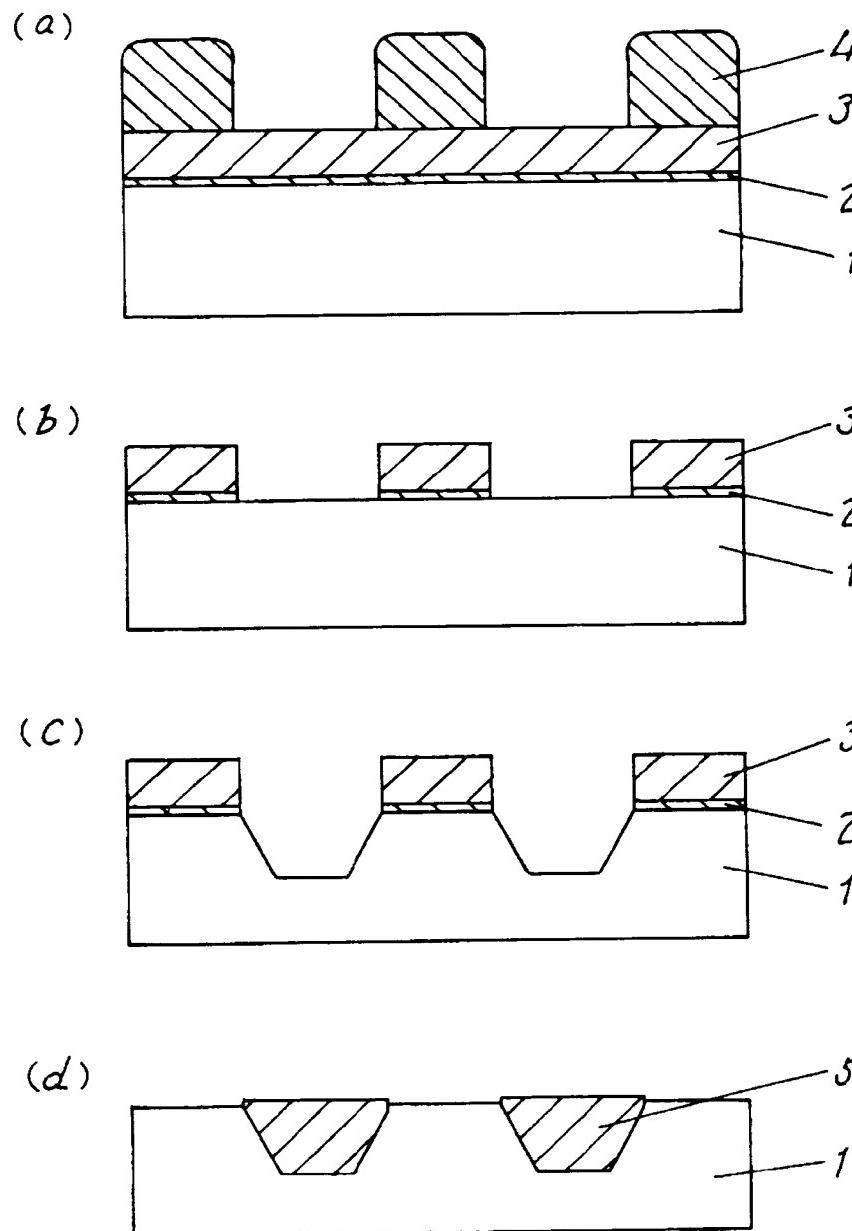
【符号の説明】

- 1 シリコン基板
- 2 酸化膜
- 3 窒化膜
- 4 フォトレジスト
- 5 分離酸化膜
- 6 プロセスガス
- 7 バイアス電力によるプラズマ
- 8 イオン
- 9 ソース電力によるプラズマ
- 10 シリコン基板
- 11 ゲート酸化膜
- 12 ポリシリコン膜
- 13 フォトレジスト
- 14 シリコン基板
- 15 酸化膜
- 16 窒化膜
- 17 シリコン基板のドライエッチング時に形成されるダメージ層
- 18 分離酸化膜
- 19 シリコン基板
- 20 ゲート酸化膜
- 21 ポリシリコン膜
- 22 フォトレジスト
- 23 ポリシリコン膜のドライエッチング時に形成されるダメージ層
- 24 シリコン基板
- 25 酸化膜

- 2 6 窒化膜
- 2 7 側壁酸化膜
- 2 8 分離酸化膜
- 2 9 シリコン基板
- 3 0 プロセスチャンバー
- 3 1 プロセスガス
- 3 2 バイアス電力供給装置
- 3 3 バイアス電力モニター
- 3 4 タイマー
- 3 5 ソース電力供給装置
- 3 6 ソース電力印加指示信号
- 3 7 酸素ラジカル
- 3 8 シリコン基板
- 3 9 酸化膜
- 4 0 ソース電力によるプラズマ
- 4 1 イオン
- 4 2 シリコン基板
- 4 3 酸化膜
- 4 4 窒化膜
- 4 5 フォトレジスト
- 4 6 分離酸化膜
- 4 7 シリコン基板
- 4 8 プロセスガス
- 4 9 ソース電力によるプラズマ
- 5 0 イオン

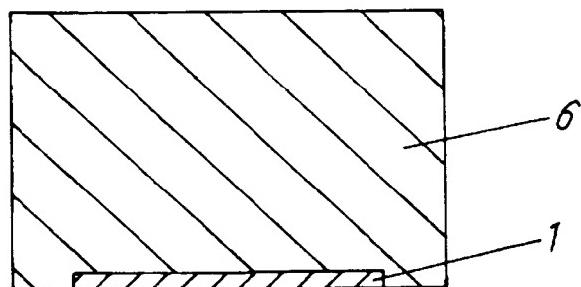
【書類名】 図面

【図1】

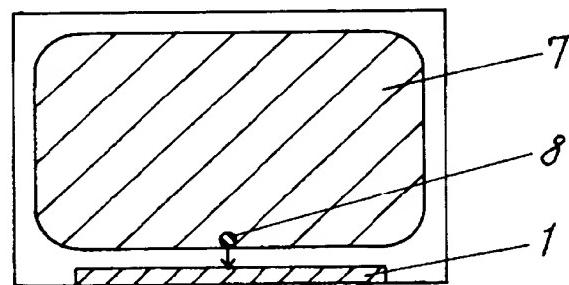


【図2】

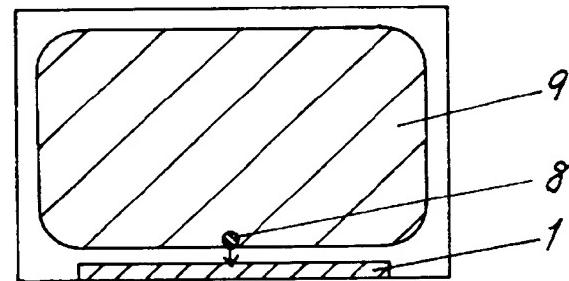
(a)



(b)

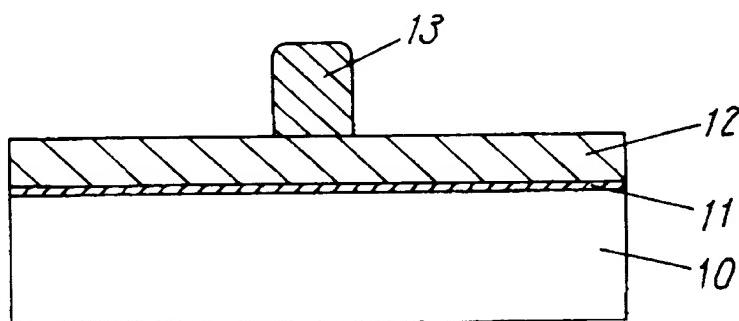


(c)

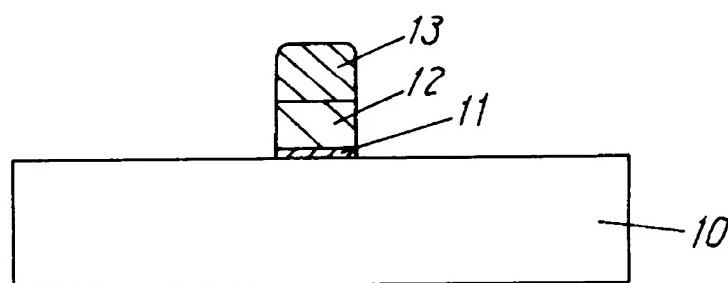


【図3】

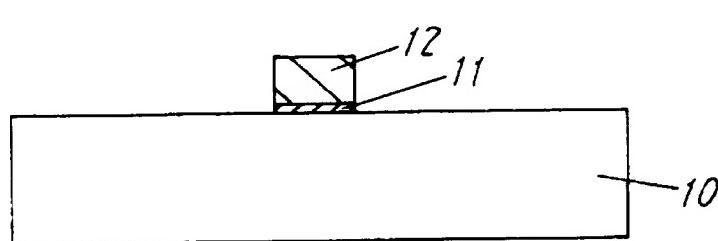
(a)



(b)

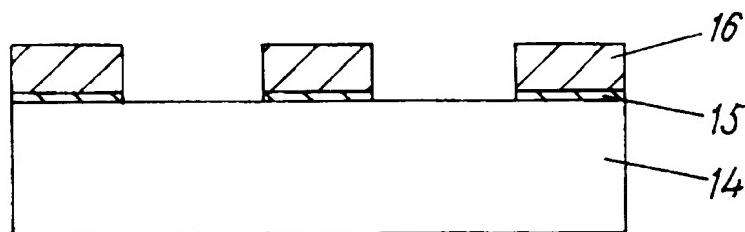


(c)

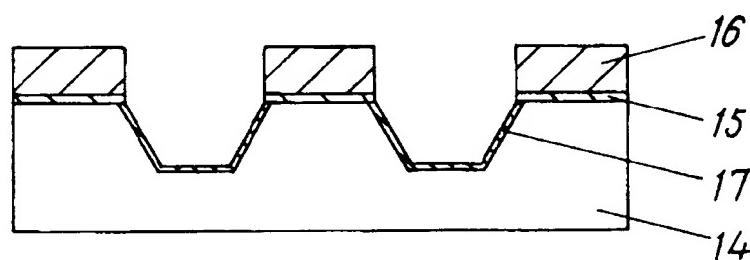


【図4】

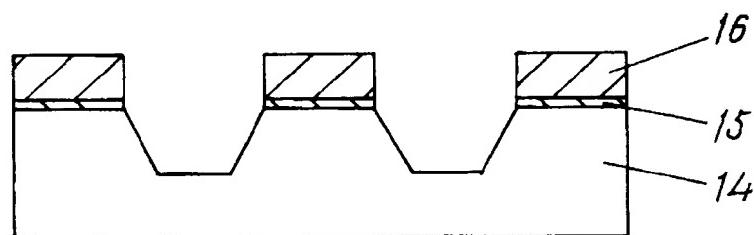
(a)



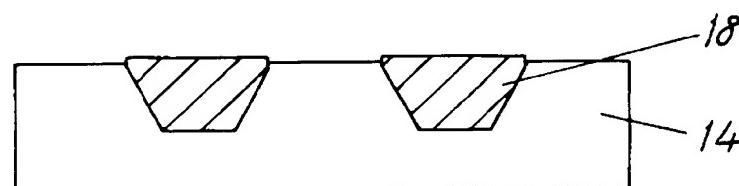
(b)



(c)

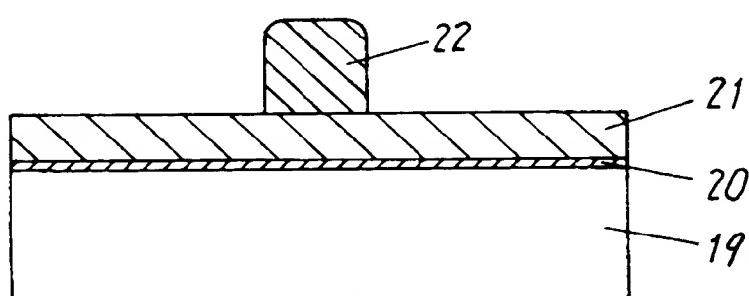


(d)

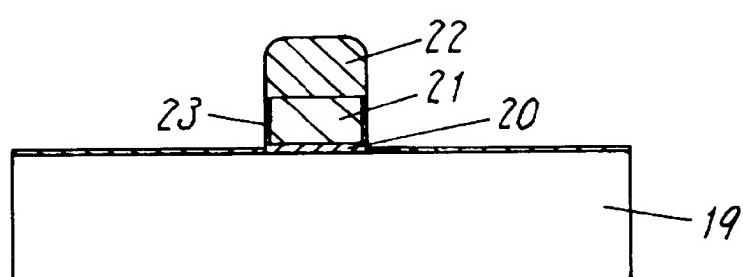


【図5】

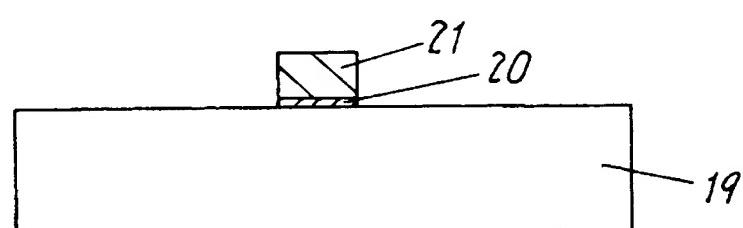
(a)



(b)

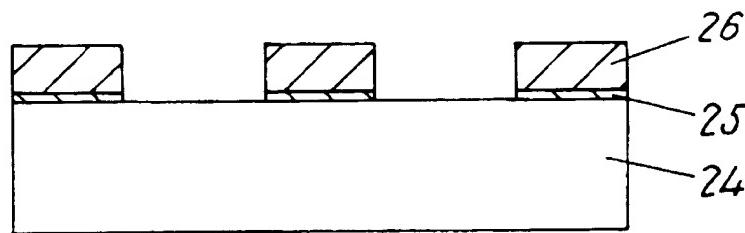


(c)

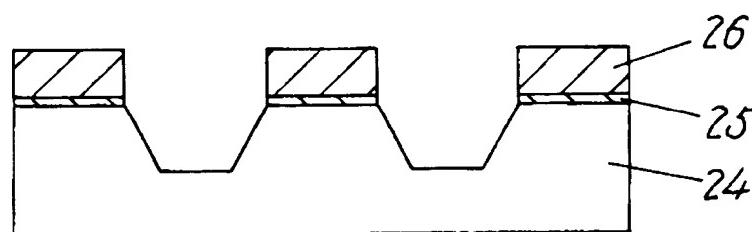


【図6】

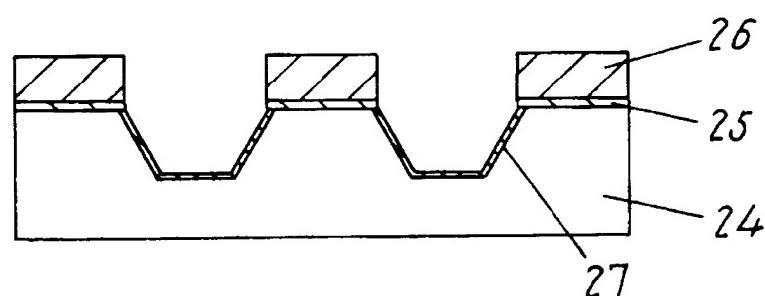
(a)



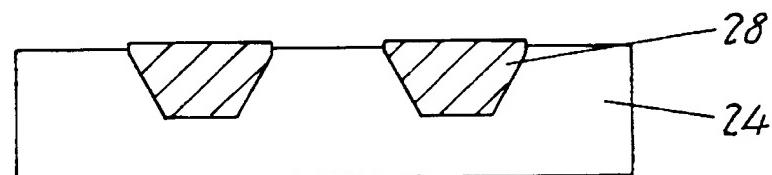
(b)



(c)

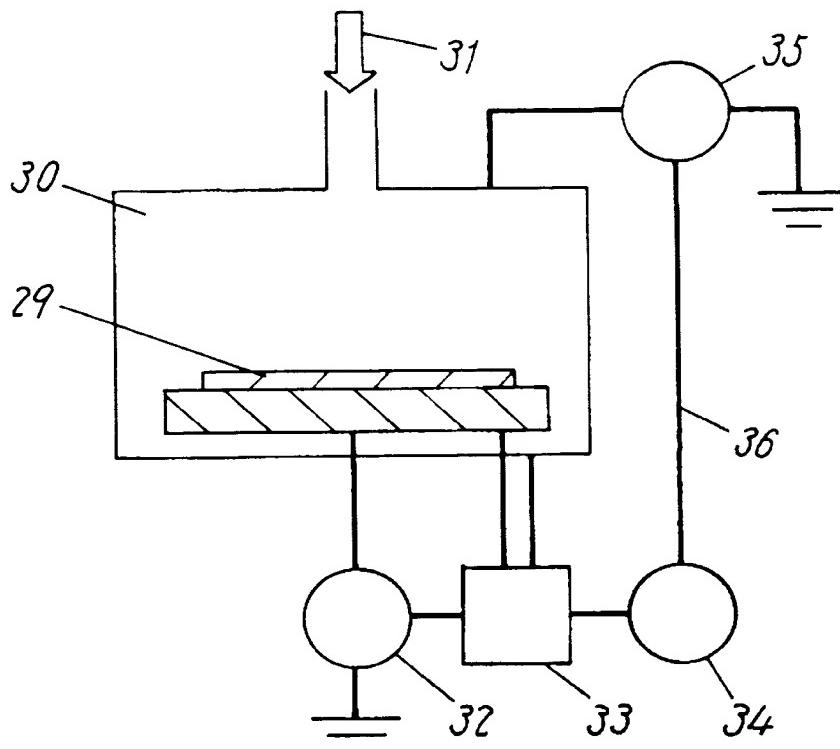


(d)

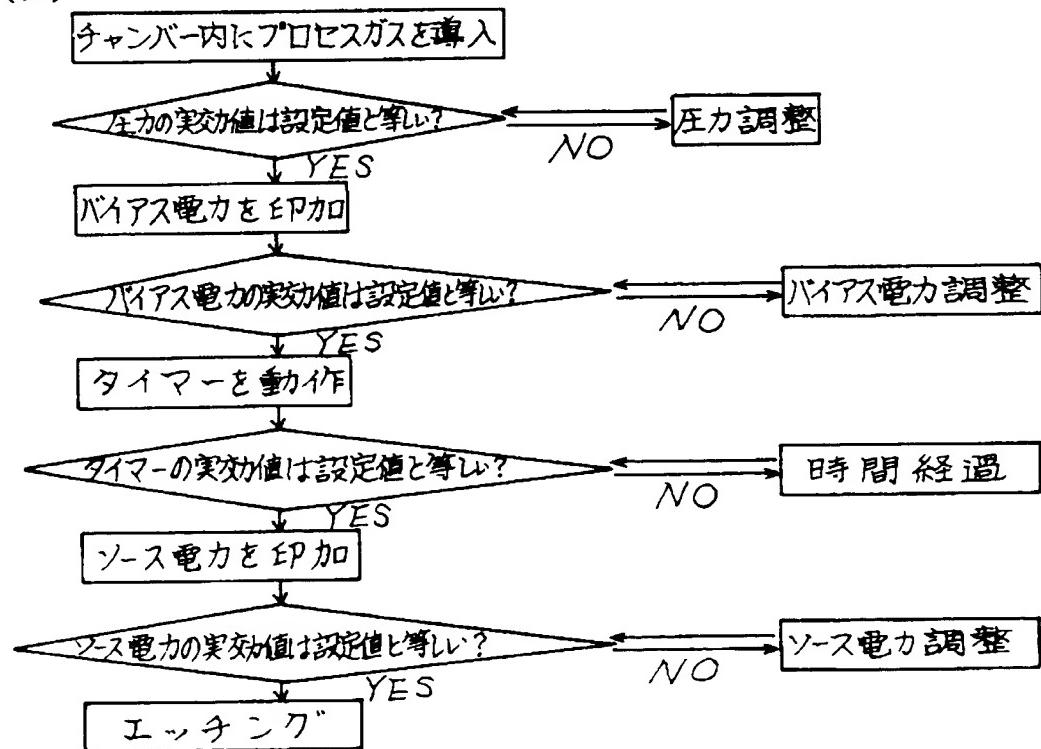


【図7】

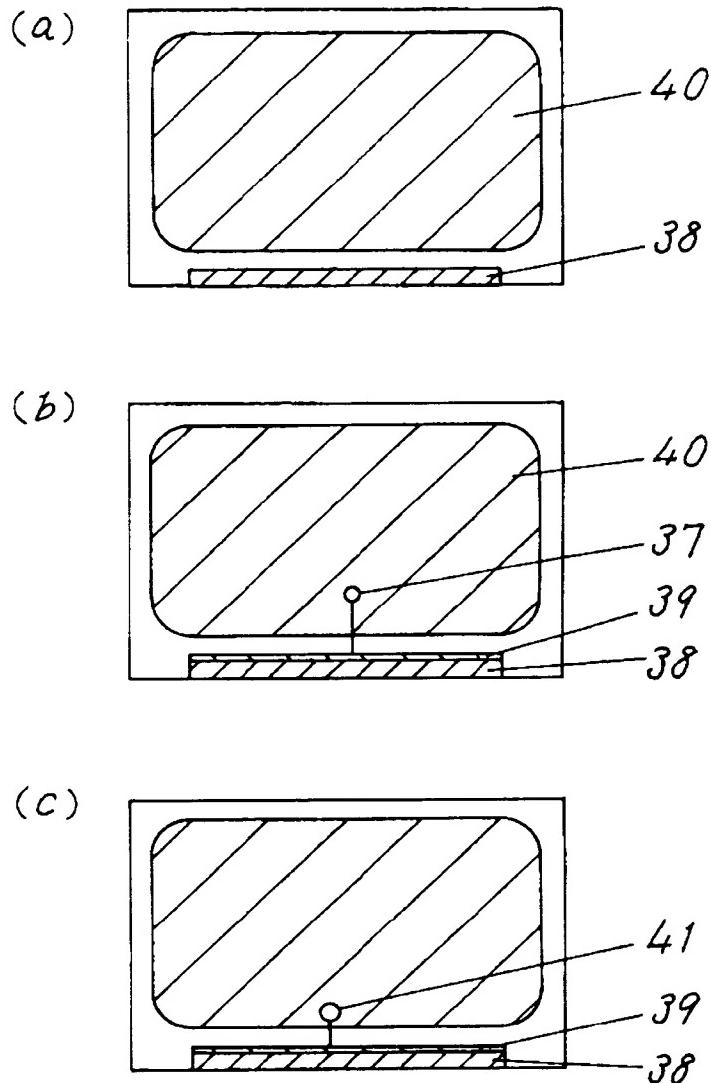
(a)



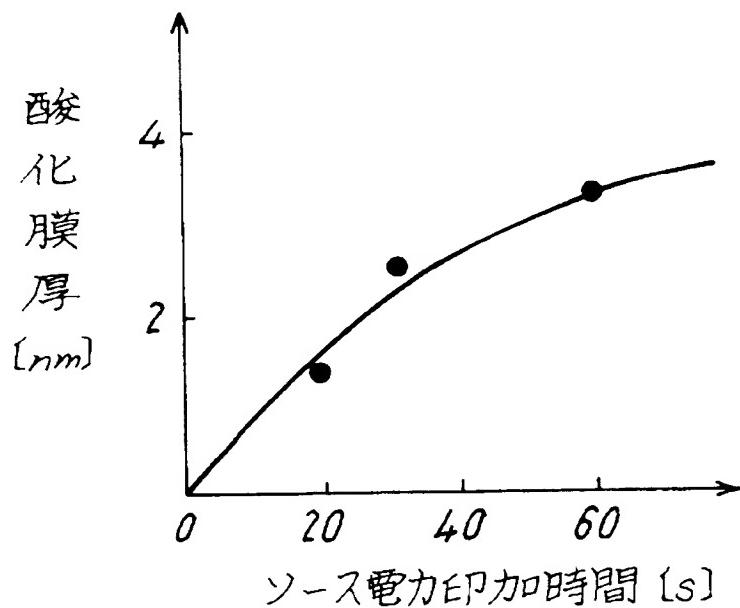
(b)



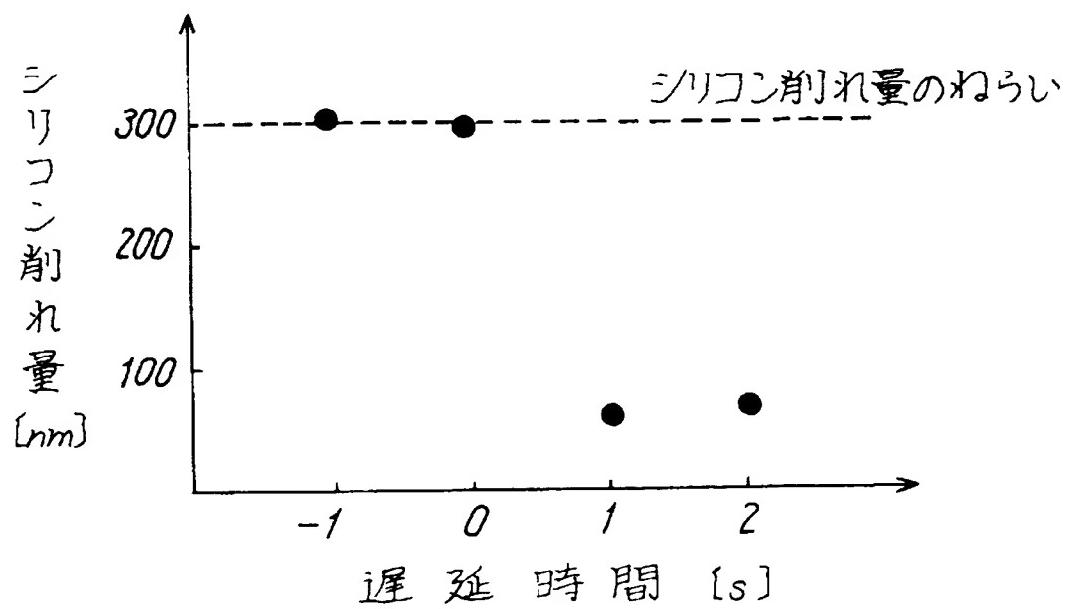
【図8】



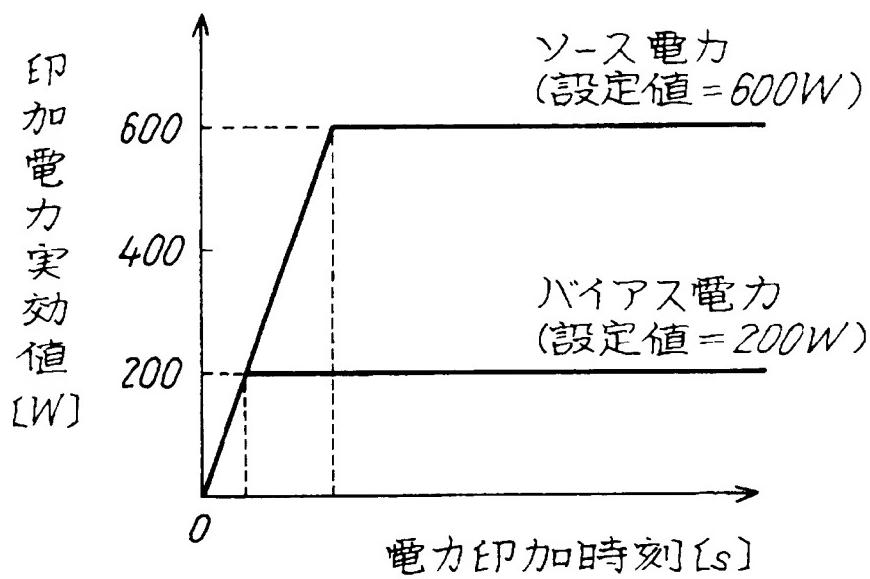
【図9】



【図10】

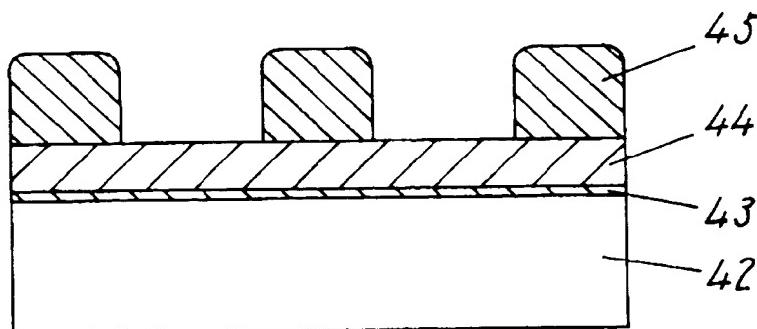


【図11】

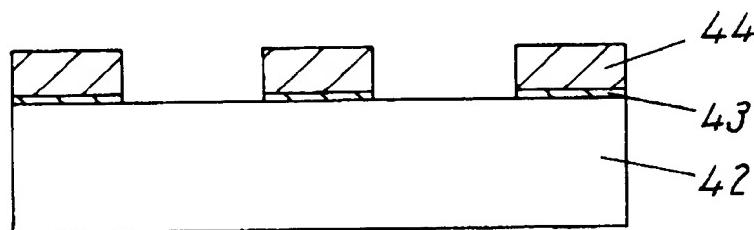


【図12】

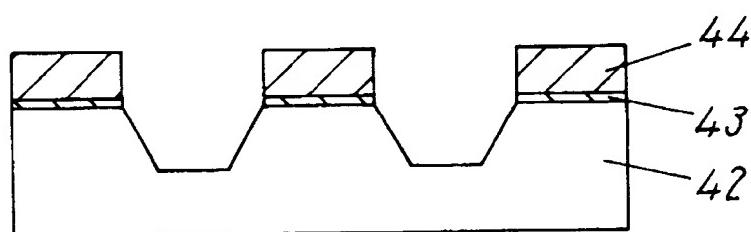
(a)



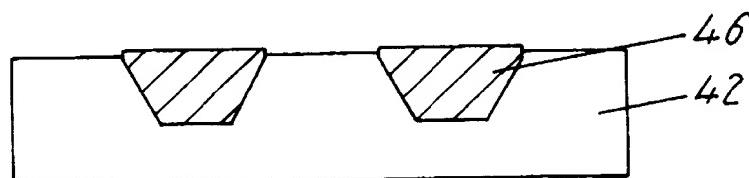
(b)



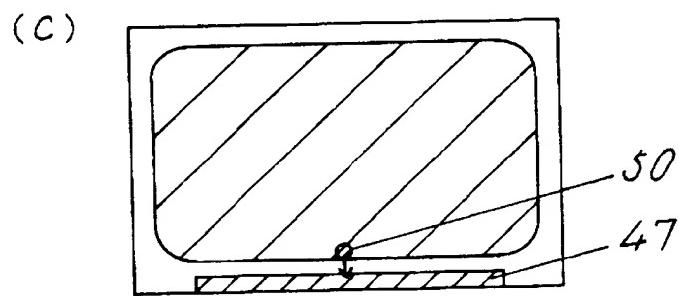
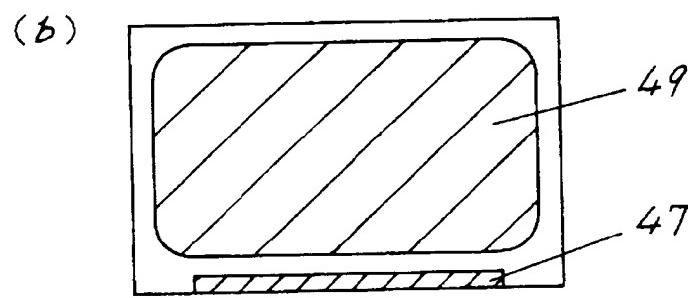
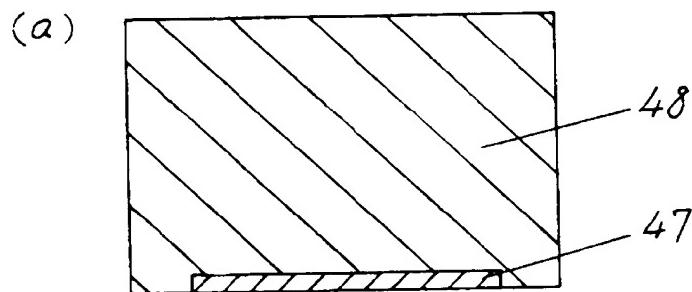
(c)



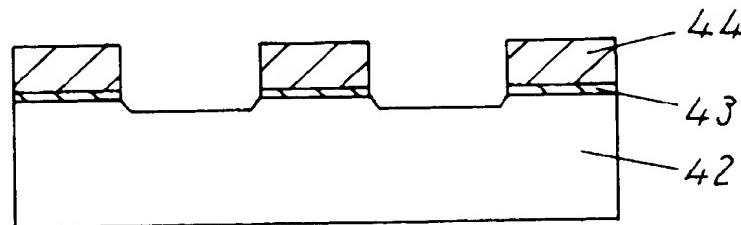
(d)



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 エッチングの停止を確実に防止してシリコンをドライエッチングする。

【解決手段】 シリコン基板1上に酸化膜2及び窒化膜3からなる分離パターンを、フォトレジスト工程とドライエッチング工程により形成する。このシリコン基板1を、バイアス電源とソース電源とを独立に制御できる2電源のドライエッチング装置のチャンバー内に設置して所定の真圧度まで真空排気した後、プロセスガスを導入する。エッチングを開始するに際して、バイアス電力を印加した後にソース電力を印加してプラズマを発生させると、エッチングの停止を確実に防止することができる。この後、熱酸化によりトレンチ側壁を酸化し、続けて前記溝に酸化膜5を埋め込む。CMPによる平坦化後、窒化膜3をウエットエッチにより除去し素子分離を形成する。

【選択図】 図1

出願人履歴情報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日
[変更理由] 住所変更
住 所 大阪府高槻市幸町1番1号
氏 名 松下電子工業株式会社